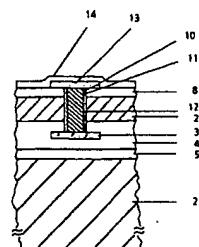




(51) Internationale Patentklassifikation <sup>6</sup> :  H01L 23/58, 23/552		A1	(11) Internationale Veröffentlichungsnummer: WO 99/16131  (43) Internationales Veröffentlichungsdatum: 1. April 1999 (01.04.99)
(21) Internationales Aktenzeichen: PCT/DE98/02645  (22) Internationales Anmeldedatum: 4. September 1998 (04.09.98)		(81) Bestimmungsstaaten: CN, ID, JP, KR, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(30) Prioritätsdaten:  197 41 507.5 19. September 1997 (19.09.97) DE 197 46 641.9 22. Oktober 1997 (22.10.97) DE		Veröffentlicht  <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(71) Anmelder (für alle Bestimmungsstaaten außer US): FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. [DE/DE]; Leonrodstrasse 54, D-80636 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): RAMM, Peter [DE/DE]; Neusiedlung 11b, D-85276 Pfaffenhofen (DE). BUCHNER, Reinhold [DE/DE]; Föhringer Allee 52, D-85774 Unterföhring (DE).			
<p>(54) Title: METHOD FOR WIRING SEMI-CONDUCTOR COMPONENTS IN ORDER TO PREVENT PRODUCT PIRACY AND MANIPULATION, SEMI-CONDUCTOR COMPONENT MADE ACCORDING TO THIS METHOD AND USE OF SAID SEMI-CONDUCTOR COMPONENT IN A CHIP CARD</p> <p>(54) Bezeichnung: VERDRAHTUNGSVERFAHREN FÜR HALBLEITER-BAUELEMENTE ZUR VERHINDERUNG VON PRODUKTPIRATERIE UND PRODUKTMANIPULATION, DURCH DAS VERFAHREN HERGESTELLTES HALBLEITER-BAUELEMENT UND VERWENDUNG DES HALBLEITER-BAUELEMENTS IN EINER CHIPKARTE</p> <p>(57) Abstract</p> <p>The present invention relates to a method for producing a metallised-circuit structure for preventing product piracy and manipulation as well as to a semi-conductor component produced according to this method and to the use of said semi-conductor component in a chip card. This method can be implemented using standardised semi-conductor techniques which are compatible with CMOS circuits, wherein the purpose of said method is to forestall the use of the so-called reverse engineering for acquiring foreign technological know-how or for reading and/or manipulating information stored in said component. According to the method of the present invention, it is further possible to produce a semi-conductor component which is protected against the influence of the environment. This method comprises processing the component layer in the substrate (1) and interrupting said processing immediately before obtaining a metallisation complex. The component substrate (1) thus obtained is assembled by applying its front side against the front side of a manipulation substrate (6), said component substrate (1) being then made thinner from the rear side. Contact holes (9) are then etched during a corresponding lithographic stage through the remaining thin layer of the component substrate, wherein said holes stop at the level of the areas to be brought into contact and are metallised so as to form electric contacts relative to the components.</p> <p>(57) Zusammenfassung</p> <p>Die Erfindung betrifft ein Verfahren zur Herstellung einer metallisierten Schaltungsstruktur zur Verhinderung von Produktpiraterie und Produktmanipulation, ein durch das Verfahren hergestelltes Halbleiter-Bauelement sowie die Verwendung des Halbleiter-Bauelements in einer Chipkarte. Das Verfahren ist mit CMOS-kompatiblen Standard-Halbleitertechnologien durchführbar und erschwert die Anwendung des sogenannten Reverse Engineering zur Aneignung fremden Technologie-Knowhows bzw. zum Auslesen und/oder zur Manipulation der im Bauelement gespeicherten Information. Durch das erfundungsgemäße Verfahren ist es darüber hinaus möglich, ein gegenüber Umwelteinflüssen geschütztes Halbleiter-Bauelement herzustellen. Beim erfundungsgemäßen Verfahren wird die Bauelementlage im Substrat (1) bis vor einem Metallisierungskomplex prozessiert. Nachfolgend wird das nun vorliegende Bauelementesubstrat (1) mit einem Handlingssubstrat (6) Vorderseite zu Vorderseite zusammengefügt und das Bauelementesubstrat (1) von der Rückseite her dünnt. Anschließend werden Kontaktlöcher (9) nach einem entsprechenden Lithographieschritt durch die verbleibende dünne Bauelementesubstratschicht bis auf die zu kontaktierenden Gebiete geätzt und metallisiert, so daß elektrische Kontakte zum Bauelement hergestellt sind.</p>			



**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

**Verdrahtungsverfahren für Halbleiter-Bauelemente zur Verhinderung von Produktpiraterie und Produktmanipulation, durch das Verfahren hergestelltes Halbleiter-Bauelement und Verwendung des Halbleiter-Bauelements in einer Chipkarte**

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements mit den Merkmalen des Oberbegriffs von Patentanspruch 1 sowie ein mit einem oder mehreren leitenden Strukturelementen versehenes Halbleiter-Bauelement, das durch solch ein Verfahren herstellbar ist. Insbesondere betrifft die vorliegende Erfindung ein Verfahren zur Herstellung einer metallisierten Halbleiter-Schaltungsstruktur, welches mit CMOS-kompatiblen Standard-Halbleiter-technologien durchführbar ist und die Anwendung des sogenannten Reverse Engineering zur Aneignung fremden Technologie-Know-hows bzw. zum Auslesen und/oder zur Manipulation der im Bauelement gespeicherten Information erschwert. Durch das erfindungsgemäße Verfahren ist es darüber hinaus möglich, ein gegenüber Umwelteinflüssen geschütztes Halbleiter-Bauelement herzustellen.

Ein Verfahren mit den Merkmalen des Oberbegriffs von Patentanspruch 1 ist beispielsweise aus G. Schumiki, P. Seegerbrecht „Prozeßtechnologie“, Springer-Verlag Berlin, ISBN 3-540-17670-5 bekannt. Fig. 5 zeigt ein durch solch ein Verfahren hergestelltes Halbleiter-Bauelement. In Fig. 5 bezeichnen die mit Bezugszeichen 11 bezeichneten Schichten Passivierungs- bzw. Isolatorschichten, die mit Bezugszeichen 12 bezeichneten Schichten stellen leitende Schichten dar, die beispielsweise aus dotiertem Halbleiter-Material oder aus dotierten Poly-Siliziumschichten aufgebaut sind, und die mit Bezugszeichen 13 bezeichneten Schichten stellen Metallisierungen dar. Die Verdrahtung 13 des Bauelementes wird mittels Deposition und Strukturierung von Metallschichten und dazwischenliegenden Isolatorschichten 11 realisiert. Bei diesem modularen Verfahren werden jeweils Kontaktlöcher durch eine Isolatorschicht 11 bis auf eine leitende Struktur 12, 13 geätzt, sodann eine Metallschicht abgeschieden und nachfolgend Leiterbahnen 13 strukturiert und wiederum mit einer Isolatorschicht 11 bedeckt.

Die mit solchen Halbleiter-Bauelementen verbundenen Probleme bestehen zum einen darin, daß mit Techniken des Reverse Engineering das Design und die Anordnung der Leiterbahnen innerhalb des Bauelements leicht erkannt werden kann und daß daher auch das Verfahren zur Herstellung eines solchen Halbleiter-Bauelements für Dritte leicht nachzuahmen ist.

Beispielsweise können Halbleiter-Bauelemente optisch durchstrahlt werden, und ihr Design kann mittels Elektronenstrahlmikroskopie entweder unter Verwendung von bildgebenden Verfahren oder aber auch unter Verfolgung eines fließenden Stroms leicht „durchschaut“ werden. Des Weiteren ist es auch üblich, Schicht für Schicht eines Halbleiter-Bauelements mechanisch oder chemisch abzutragen und anschließend die sich jeweils ergebende Oberfläche zu untersuchen.

Hält man sich die enormen Entwicklungskosten für neuartige Halbleiter-Chips vor Augen, so ist klar erkennbar, daß ein großer Bedarf an Möglichkeiten besteht, die Erfolgsaussichten solcher Reverse Engineering-Methoden entscheidend einzudämmen.

Ein weiteres Problem besteht darin, daß bei der Anwendung solcher Halbleiter-Bauelemente in Chipkarten Manipulationsmöglichkeiten für Dritte gegeben sind, die die Sicherheit von Chipkarten stark beeinträchtigen. Beispielsweise ist es durch spezielle Techniken möglich, die in den Chipkarten gespeicherte Information zu lesen und ggf. zu verändern.

Bisherige Ansätze zur Lösung der vorstehend genannten Probleme beruhten beispielsweise auf der Verbesserung der verwendeten PIN-Codes durch Verwendung einer Geheimzahl mit einer erhöhten Anzahl an Stellen, um den Mißbrauch von Chipkarten zu unterbinden.

Ansätze zur Lösung des mit den verwendeten Reverse Engineering-Methoden verbundenen Problems beruhten darauf, das Chipkarten-Design möglichst komplex zu gestalten, um die Erfolgsaussichten der vorstehend erwähnten optischen Durchstrahlungs- oder Elektronenmikroskopierverfahren zu verringern. Bei dem Versuch, eine aufzubauende Schaltung möglichst komplex zu gestalten, tritt jedoch wiederum das Problem auf, daß der Integrationsgrad der Schaltung deutlich verschlechtert werden kann und daß das Herstellungsverfahren technologisch aufwendig wird. Genauer gesagt läßt sich der Komplexitätsgrad insbesondere dadurch steigern, daß mehrere Metallisierungsebenen übereinander angeordnet werden. Aufgrund der Oberflächentopographie ist dafür aber auch eine Anpassung der jeweiligen Größen der Leiterbahnen notwendig, wodurch die Integrationsdichte der Metallisierung bei der entsprechenden Vorrichtung verschlechtert wird.

Aus der US-Patentschrift Nr. 5 563 084, die der DE-A-44 33 845 entspricht, ist überdies ein Verfahren zur Herstellung einer dreidimensionalen integrierten Schaltung bekannt. Bei diesem Verfahren

werden bereits vollständig fertig prozessierte Chips unter Verwendung eines Handlingssubstrats auf ein weiteres Substrat, das seinerseits ebenfalls mehrere Bauelementelagen enthalten kann, aufgebracht. Um die Ausbeute zu erhöhen, wird die Funktionsfähigkeit der einzelnen Chips vor dem Zusammenfügen überprüft.

Der vorliegenden Erfindung liegt somit die Aufgabe zugrunde, das bekannte Verfahren zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements derart weiterzubilden, daß die Komplexität der Schaltung erhöht werden kann, ohne die Integrationsdichte zu verschlechtern und das Verfahren technologisch zu aufwendig zu gestalten. Ferner liegt der vorliegenden Erfindung die Aufgabe zugrunde, ein Halbleiter-Bauelement mit komplexerer Schaltung aber hoher Integrationsdichte bereitzustellen.

Gemäß der vorliegenden Erfindung wird die Aufgabe durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst. Ferner wird gemäß der vorliegenden Erfindung ein Verfahren zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements, das gegenüber Umwelteinflüssen geschützt ist, nach Anspruch 17, ein mit einem oder mehreren leitenden Strukturelementen versehenes Halbleiter-Bauelement nach Anspruch 19 und 20 sowie die Verwendung dieser Halbleiter-Bauelemente in einer Chip-Karte bereitgestellt.

Die bevorzugten Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

Die vorliegende Erfindung betrifft somit ein Verfahren zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements mit den Schritten zum

- Aufbringen und Strukturieren von Schichten, die in dem Halbleiter-Bauelement enthalten sind, auf einem ersten Substrat,
- Verbinden der Oberfläche des ersten Substrats, auf der diese einzelnen Schichten aufgebracht sind, mit einem zweiten Substrat,
- Bereitstellen des oder eines von den mehreren leitenden Strukturelementen auf der freien Oberfläche des ersten Substrats, wobei dieser Schritt so ausgeführt wird, daß ein funktionsmäßiger elektrischer Kontakt zwischen dem leitenden Strukturelement und dem Bauelement bewirkt wird, und
- Fertigstellen des Halbleiter-Bauelements.

Bei dem erfindungsgemäßen Verfahren wird die Bauelementelage im Substrat bis vor eine Metallisierungsebene prozessiert. Das heißt, der Ausgangspunkt ist jeweils eine Bauelementelage innerhalb eines Substrates ohne Metallisierung, mit einer oder mit mehreren Metallisierungsebenen.

Nachfolgend wird das nun vorliegende Bauelementesubstrat mit einem Handlingssubstrat Vorderseite zu Vorderseite zusammengefügt, und zusätzlich kann das Bauelementesubstrat von der Rückseite her gedünnt werden. Die darauffolgende Bereitstellung elektrischer Kontakte zum Bauelement, d.h. die Bereitstellung der auf die Bauelementelage innerhalb des Substrats ohne Metallisierung, mit einer oder mehreren Metallsierungsebenen folgenden Metallisierungsebene, erfolgt vorzugsweise, indem Kontaktlöcher nach einem entsprechenden Lithographieschritt durch die ggf. gedünnte Bauelementesubstratschicht bis auf die zu kontaktierenden Gebiete geätzt und nachfolgend metallisiert werden.

Durch die Abfolge der Schritte des erfindungsgemäßen Verfahrens wird ein zusätzliches Substrat in das Bauelement eingebracht. Dieses Substrat kann entweder das Bauelementesubstrat selbst oder, bei einer iterativen Wiederholung der Verfahrensschritte gemäß Patentanspruch 12, dasjenige Handlingssubstrat sein, welches in dem vorangehenden Iterationsschritt eingebracht wurde und entsprechend die Rolle des Bauelementesubstrats übernommen hat. Gemäß einer bevorzugten Ausführungsform kann dabei das zusätzliche Substrat beispielsweise zwischen dem Halbleiter-Bauelement an sich und der oder den zur elektrischen Kontaktierung des Halbleiter-Bauelements vorgesehenen Metallisierungsebenen angeordnet sein. Das zusätzliche Substrat kann aber auch zwischen einzelnen zur elektrischen Kontaktierung des Halbleiter-Bauelements vorgesehenen Metallisierungsebenen angeordnet sein. Der Ausdruck „Metallisierungsebenen“ umfaßt dabei sämtliche leitende Strukturelemente des Halbleiter-Bauelements, also beispielsweise Leiterbahnen, Verdrahtungen usw.

Durch eine derartige Einbringung eines zusätzlichen Substrats ist es möglich, die Komplexität der sich ergebenden Schaltung beträchtlich zu erhöhen, ohne den Integrationsgrad der Vorrichtung zu verschlechtern oder das Herstellungsverfahren zu sehr kompliziert zu machen.

Bei dem erfindungsgemäßen Verfahren werden das Bauelementesubstrat und das Handlingssubstrat derart fest miteinander verbunden, daß daraufhin keine zerstörungsfreie Trennung des Schichtenstapels erfolgen kann.

Gemäß einer bevorzugten Ausführungsform ist das zusätzlich in das Bauelement eingebrachte Substrat aus einem Material, das im Bereich sichtbarer Wellenlängen nicht transparent ist, beispielsweise aus Silizium, so daß die Verwendung optischer Durchstrahlungsverfahren verhindert wird. Das zusätzliche Substrat kann zusätzlich noch ein Material enthalten oder aus einem solchen

hergestellt sein, das im Bereich kurzwelliger Strahlung, beispielsweise Röntgenstrahlen, nicht transparent ist, so daß die Verwendung von Röntgen-Durchstrahlungsverfahren verhindert wird. Gemäß der vorliegenden Erfindung kann das zusätzliche Substrat auch ein sogenanntes SOI-Substrat sein, so daß die vergrabene Isolatorschicht bei einem Ätzschritt als ein Ätzstopp dient. Dadurch kann das Herstellungsverfahren weiter vereinfacht werden, und seine Kosten können reduziert werden. Ferner ist es bei Verwendung eines SOI-Substrats möglich, das zusätzliche Substrat gleichmäßiger zu ätzen.

Für die Verbindung der Vorderseite des Bauelementesubstrats mit dem Handlingsubstrat wird die Vorderseite des Bauelementesubstrats vorzugsweise mit einer Haftschicht versehen. Die Haftschicht kann dabei gleichzeitig eine passivierende und/oder planarisierende Funktion übernehmen. Anschließend wird das Bauelementesubstrat von der Rückseite her gedünnt. Das Dünnen kann dabei beispielsweise durch naßchemisches Ätzen oder durch mechanisches oder chemomechanisches Schleifen erfolgen. Der nach dem Zusammenfügen und Dünnen vorliegende Substratstapel kann darauf folgend wie ein Standardsubstrat weiterbearbeitet werden, wobei die Oberfläche des gedünnten Bauelementesubstrats nun die Vorderseite darstellt. Diese wird zunächst durch Abscheidung einer dielektrischen Schicht isoliert, wobei bei Verwendung eines SOI-Substrates unter Umständen auf diese Isolierung verzichtet werden kann. Nach einem Standardlithographieschritt werden durch die Isolatorschicht und die dünne Bauelementesubstratschicht Kontaktlöcher auf die zu kontaktierenden Gebiete geätzt und die Seitenwände der Kontaktlöcher isoliert. Über diese Kontakte wird schließlich die Verdrahtung mittels Standardmetallisierung, die aus einer oder mehreren Metallisierungsebenen bestehen kann, hergestellt. Die Kontakte können hierbei zwischen beliebigen Metallisierungsebenen des Bauelementesubstrats und der Verdrahtung realisiert werden. Schließlich kann, wie bei der Bauelementeherstellung gemäß dem Stand der Technik, die Substratscheibe auf die notwendige Dicke reduziert werden, indem der Substratstapel von der Handlingsubstratseite her mechanisch oder/und chemisch gedünnt wird.

Bei dem erfindungsgemäßen Verfahren wird gegenüber den nach dem heutigen Stand der Technik bekannten Verfahren zur Mehrlagenverdrahtung vorteilhafterweise den Möglichkeiten der Produktpiraterie und der Produktmanipulation begegnet, da Teile der Bauelementeverdrahtung auf die Seite des Bauelementesubstrats verlagert werden, die dem Bauelement an sich oder aber auch weiteren Teilen der Bauelementeverdrahtung gegenüberliegt. Bei den bekannten Verfahren zur Mehrlagenverdrahtung sind demgegenüber übereinander angeordnete strukturierte Metallschichten durch optisch transparente dielektrische Schichten, beispielsweise  $\text{SiO}_2$ , voneinander isoliert, wie in Fig. 5 gezeigt.

Durch Einbringen des zusätzlichen Substrats, das, wie vorstehend erläutert, das Bauelementesubstrat selbst oder auch ein Handlingsubstrat sein kann, kann die Komplexität der Verdrahtung erhöht werden, wodurch die üblicherweise eingesetzten Techniken zur Analytik des Schaltungsaufbaus und Techniken zur Manipulation der in den Bauelementen gespeicherten Information verhindert bzw. erschwert werden. Wenn das zusätzliche Substrat zusätzlich optisch nicht transparent ist, werden zum einen Verfahren zur optischen Durchleuchtung oder Analyse mittels Elektronenstrahlmikroskopie verhindert, zum anderen sind Verfahren zur Manipulation oder zum Auslesen der in der Schaltung bzw. der in der Chipkarte enthaltenen Information nicht mehr anwendbar.

Darüber hinaus kann das erfindungsgemäße Verfahren verwendet werden, um ein gegenüber Umwelteinflüssen geschütztes Halbleiter-Bauelement herzustellen. Insbesondere dient die erste Substratschicht, die ja nunmehr eine Zwischenschicht innerhalb des Halbleiter-Bauelements darstellt, als eine Schutzschicht gegenüber Umwelteinflüssen. Durch Auswahl eines geeigneten Materials für das erste Substrat kann diese Schutzfunktion erhöht werden.

Ferner können vor dem Schritt zum Bereitstellen des oder eines von den mehreren leitenden Strukturelementen noch weitere Schutzschichten aufgebracht werden, um die Schutzfunktion zu erhöhen. Beispiele für solche Schutzschichten können Passivierungsschichten, beispielsweise aus  $\text{SiO}_2$  sein.

Insbesondere ist es bei einer iterativen Wiederholung der Verfahrensschritte, wenn also mehrere Substratschichten in das Bauelement eingebracht werden, möglich, das Halbleiter-Bauelement oder Teile davon einzukapseln, ggf. mit verschiedenen, geeignet ausgewählten Substrat- und/oder Zusatzschutzschichten.

Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen detaillierter beschrieben werden.

Fig. 1 zeigt ein Bauelementesubstrat mit fertig prozessierten MOS-Schaltungen und einer Metallierungsebene vor der Verbindung mit einem Hilfssubstrat.

Fig. 2 zeigt das in Fig. 1 gezeigte Bauelementesubstrat nach Verbinden mit dem Hilfssubstrat und Dünnen des Bauelementesubstrats.

Fig. 3 zeigt den in Fig. 2 gezeigten Scheibenstapel, der wie eine Standardscheibe prozessiert wird.

Fig. 4 zeigt den in Fig. 3 gezeigten Scheibenstapel, der nun auf seiner Oberfläche mit einer Verdrahtungsebene versehen worden ist.

Fig. 5 zeigt einen typischen Schichtaufbau eines gemäß Standardverfahren hergestellten Halbleiterbauelementes mit mehreren leitenden Strukturelementen.

In Fig. 1 bezeichnet Bezugssymbol 1 ein Bauelementesubstrat, das beispielsweise eine Siliziumscheibe 2 mit fertig prozessierten MOS-Schaltungen und eine Metallisierungsebene 3 umfaßt. Die Metallisierungsebene 3 ist mit einer Oxidschutzschicht passiviert. Die Metallisierung umfaßt beispielsweise eine Aluminiumlegierung. Auf die Bauelementescheibe wird eine Polyimidschicht 5 als Haftschicht aufgeschleudert, so daß die Oberflächentopographie eingeebnet wird.

Die Einebnung der Oberflächentopographie kann auch bereits vor dem Aufbringen der Haftschicht durch einen Planarisierungsschritt erfolgt sein. Anschließend erfolgt das Verbinden der Bauelementescheibe mit einem Hilfssubstrat 6, beispielsweise einer weiteren Siliziumscheibe. Anschließend wird der nun vorliegende Scheibenstapel mechanisch, nachchemisch und/oder chemomechanisch von der Seite des Bauelementesubstrats her gedünnt, so daß die Siliziumrestdicke des Bauelementesubstrats einige Mikrometer beträgt.

Nach dem Dünnen kann der Scheibenstapel 7, der beispielsweise in Fig. 2 gezeigt ist, wie eine Standardscheibe prozessiert werden.

Beispielsweise wird die Siliziumoberfläche passiviert, z.B. mit einer Oxidschicht 8. Kontaktlöcher 9 werden nach einem entsprechenden Lithographieschritt bis auf die zu kontaktierenden Gebiete der Metallisierung geätzt, wie in Fig. 3 gezeigt ist. Anschließend werden, wie in Fig. 4 gezeigt, vorzugsweise die Seitenwände der Kontaktlöcher mit Isolierschichten 10 isoliert. Gemäß einer besonders bevorzugten Ausführungsform erfolgt dies durch eine sogenannte Spacer-Oxid-Prozeßsequenz, die eine konforme Oxidabscheidung und ein nachfolgendes anisotropes Rückätzen umfaßt.

Die Verdrahtung der Schaltungen erfolgt beispielsweise durch Abscheidung einer Titanitridschicht 11 als Haft- und Barrièreschicht für die nachfolgende Wolframmetallisierung 12, die beispielsweise durch W-Deposition erfolgen kann. Anschließend wird unter Verwendung von chemomechanischem Schleifen mit einem CMP-Gerät die Wolfram/Titanitridschicht von der Substratoberfläche entfernt, so daß die verbleibenden Wolfram/Titanitrid-“Stöpsel” (sog. Plugs) die vertikale Verbindung zur Bauelementemetallisierungsebene realisieren. Schließlich wird durch einen Standardmetallisierungsprozeß, beispielsweise mit einer Aluminiumlegierung 13 und nachfolgende Passivierung

14 die Verdrahtung des Bauelements durchgeführt, wie in Fig. 4 gezeigt ist. Dabei kann die Verdrahtung des Bauelements auch mehrere Metallisierungsebenen umfassen.

Es sind aber auch andere Verfahren zur Herstellung einer Verdrahtung der Schaltungen denkbar. Abschließend wird der Scheibenstapel von der Hilfssubstratseite her vorzugsweise mechanisch auf die notwendige Restdicke, z. B. 180 µm, gedünnt.

Es ist den Fachleuten offensichtlich, daß die vorliegende Erfindung wie vorstehend beschrieben in zahlreichen Ausführungsformen modifiziert werden kann.

Beispielsweise können das Hilfssubstrat 6 und/oder das Bauelementesubstrat 1 nach ggf. Dünnen des Bauelementesubstrats auf verschiedene Weisen prozessiert und/oder strukturiert werden. Insbesondere können virtuelle Leiterbahnen, die keinerlei Anschlüsse zu dem Bauelement aufweisen, in diesen Substraten hergestellt werden, um beim Reverse Engineering bewußt fehlerhafte Informationen zu liefern. Ebenso ist es möglich, die planarisierte Oberfläche des gemäß Fig. 4 prozessierten Bauelements mit einem weiteren Hilfssubstrat zu verbinden, um eine weitere Hilfssubstratschicht in das sich ergebende Bauelement einzubringen.

Auf diese Weise können beispielsweise bei einer Verdrahtung, die mehrere Verdrahtungsebenen umfaßt, diese jeweils durch ein zusätzlich hinzugefügtes Hilfssubstrat voneinander getrennt werden.

Das durch das erfindungsgemäße Verfahren hergestellte Halbleiter-Bauelement läßt sich besonders vorteilhaft in Chipkarten verwenden, da durch seinen speziellen Aufbau die Manipulationsmöglichkeiten von außen stark eingeschränkt sind. Insbesondere wird es Fälschern erschwert, beispielsweise mit Metallstiften durch die einzelnen Bauelementeschichten durchzudringen, um dadurch die in dem Chip gespeicherte Information auszulesen und/oder zu fälschen.

## Patentansprüche

1. Verfahren zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements mit den Schritten zum
  - Aufbringen und Strukturieren von Schichten (3, 4, 5), die in dem Halbleiter-Bauelement enthalten sind, auf einem ersten Substrat (1), gekennzeichnet durch die Schritte zum
    - Verbinden der Oberfläche des ersten Substrats (1), auf der diese einzelnen Schichten aufgebracht sind, mit einem zweiten Substrat (6),
    - Bereitstellen des oder eines von den mehreren leitenden Strukturelementen (12, 13) auf der freien Oberfläche des ersten Substrats, wobei dieser Schritt so ausgeführt wird, daß ein funktionsmäßiger elektrischer Kontakt zwischen dem leitenden Strukturelement (13) und dem Bauelement (3, 4, 5) bewirkt wird, und
    - Fertigstellen des Halbleiter-Bauelements.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das erste Substrat (1) im Bereich sichtbarer Wellenlängen nicht transparent ist.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das erste Substrat (1) ein Si-Substrat ist.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das erste Substrat (1) ein SOI-Substrat ist.
5. Verfahren nach einem der Ansprüche 1 bis 4, gekennzeichnet durch den Schritt zum Dünnen des ersten Substrats (1) nach dem Schritt zum Verbinden der Oberfläche des ersten Substrats (1) mit dem zweiten Substrat (6).
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das Dünnen durch Ätzen, mechanisches oder chemomechanisches Schleifen oder eine Kombination dieser Verfahren erfolgt.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Schritt zum Verbinden der Oberfläche des ersten Substrats (1) mit dem zweiten Substrat (6) den Schritt zum Aufbringen einer haftvermittelnden Schicht (5) umfaßt.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die haftvermittelnde Schicht (5) eine Polyimidschicht ist.

9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Schritt zum Verbinden der Oberfläche des ersten Substrats (1) mit dem zweiten Substrat (6) dergestalt ausgeführt wird, daß in dem sich ergebenden Halbleiter-Bauelement die erste Substratschicht (1) zwischen dem Halbleiter-Bauelement an sich und der oder den zur elektrischen Kontaktierung des Halbleiter-Bauelements vorgesehenen Metallisierungsebenen angeordnet ist.

10. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Schritt zum Verbinden der Oberfläche des ersten Substrats (1) mit dem zweiten Substrat (6) dergestalt ausgeführt wird, daß in dem sich ergebenden Halbleiter-Bauelement die erste Substratschicht (1) zwischen einzelnen zur elektrischen Kontaktierung des Halbleiter-Bauelements vorgesehenen Metallisierungsebenen angeordnet ist.

11. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Schritt zum Verbinden der Oberfläche des ersten Substrats (1) mit dem zweiten Substrat (6) dergestalt ausgeführt wird, daß in dem sich ergebenden Halbleiter-Bauelement die erste Substratschicht (1) zwischen den zur elektrischen Kontaktierung des Halbleiter-Bauelements vorgesehenen Metallisierungsebenen und einer zur elektrischen Kontaktierung der Metallisierungsebenen vorgesehenen Verdrahtung angeordnet ist.

12. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Schritt zum Fertigstellen des Halbleiter-Bauelements einen oder mehrere Schritte zum

- Verbinden der Oberfläche der bereits fertiggestellten Schichtenfolge mit einem n-ten Substrat ( $n > 2$ ), und
- Bereitstellen eines weiteren leitenden Strukturelements auf der freien Oberfläche des (n-1)-ten Substrats, wobei dieser Schritt so ausgeführt wird, daß ein funktionsmäßiger elektrischer Kontakt zwischen dem leitenden Strukturelement und dem Bauelement bewirkt wird, umfaßt.

13. Verfahren nach einem der Ansprüche 1 bis 8 und 12, gekennzeichnet durch den Schritt zum Strukturieren des ersten oder (n-1)-ten Substrats vor dem Schritt zum Bereitstellen des oder eines von den mehreren leitenden Strukturelementen auf der freien Oberfläche des ersten oder (n-1)-ten Substrats.

14. Verfahren nach einem der Ansprüche 1 bis 8, 12 und 13, gekennzeichnet durch den Schritt zum (teilweisen) Aufbringen einer zusätzlichen leitenden Schicht auf der freien Oberfläche des ersten oder (n-1)-ten Substrats.
15. Verfahren nach Anspruch 14, gekennzeichnet durch den Schritt zum Verbinden der mit der zusätzlichen leitenden Schicht versehenen Substratoberfläche mit einem weiteren Substrat.
16. Verfahren, nach einem der Ansprüche 1 bis 8, 12 und 13, gekennzeichnet durch mehrere aufeinanderfolgende Schritte zum (teilweisen) Aufbringen einer zusätzlichen leitenden Schicht auf der freien Oberfläche des ersten oder (n-1)-ten Substrats und zum Verbinden der mit der zusätzlichen leitenden Schicht versehenen Substratoberfläche mit einem weiteren Substrat.
17. Verfahren nach einem der Ansprüche 1 bis 16 zur Herstellung eines mit einem oder mehreren leitenden Strukturelementen versehenen Halbleiter-Bauelements, das gegenüber Umwelteinflüssen geschützt ist.
18. Verfahren nach Anspruch 17, gekennzeichnet durch den Schritt zum Aufbringen einer oder mehrerer zusätzlicher Schutzschichten vor dem Schritt zum Bereitstellen des oder eines von den mehreren leitenden Strukturelementen auf der freien Oberfläche des ersten Substrats.
19. Mit einem oder mehreren leitenden Strukturelementen versehenes Halbleiter-Bauelement, dadurch gekennzeichnet, daß das Halbleiter-Bauelement durch das Verfahren nach einem der Ansprüche 1 bis 16 hergestellt ist.
20. Mit einem oder mehreren leitenden Strukturelementen versehenes Halbleiter-Bauelement, das gegenüber Umwelteinflüssen geschützt ist, dadurch gekennzeichnet, daß das Halbleiter-Bauelement durch das Verfahren nach Anspruch 17 oder 18 hergestellt ist.
21. Verwendung des Halbleiter-Bauelements nach Anspruch 19 oder 20 in einer Chip-Karte.

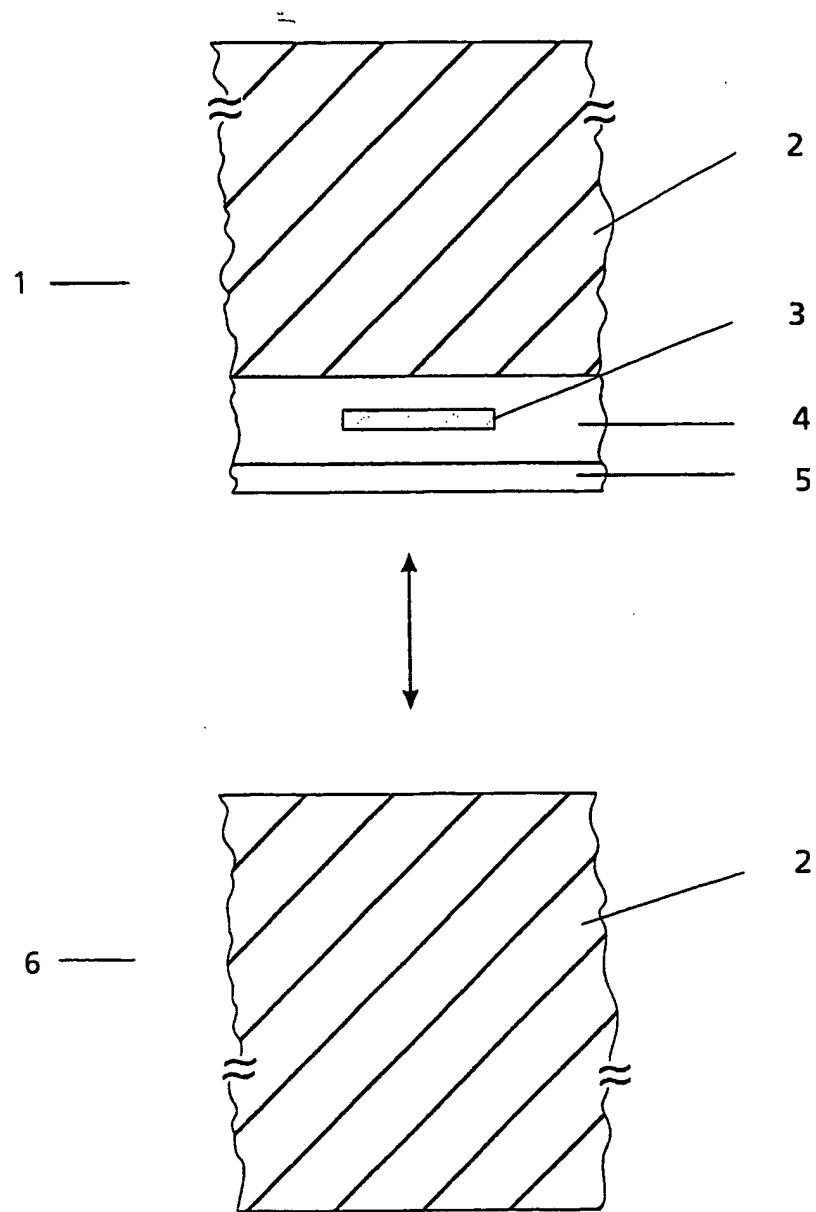


Fig. 1

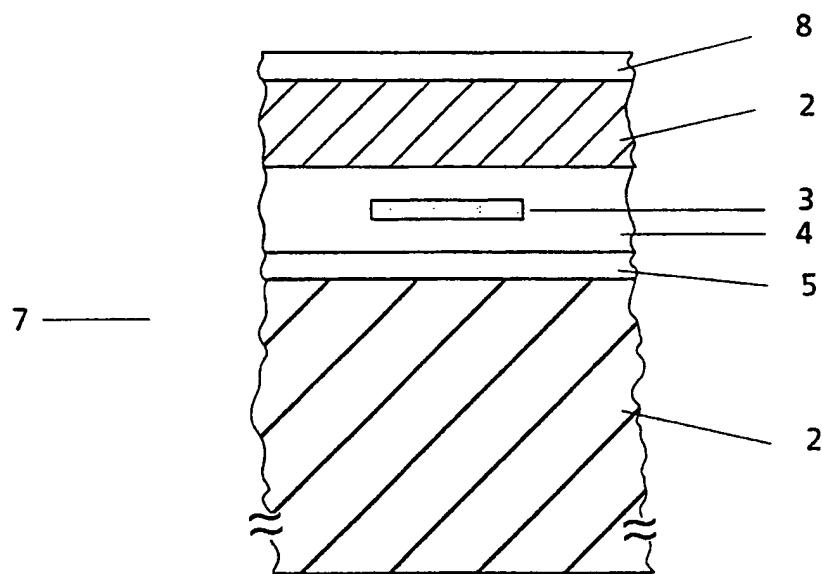


Fig. 2

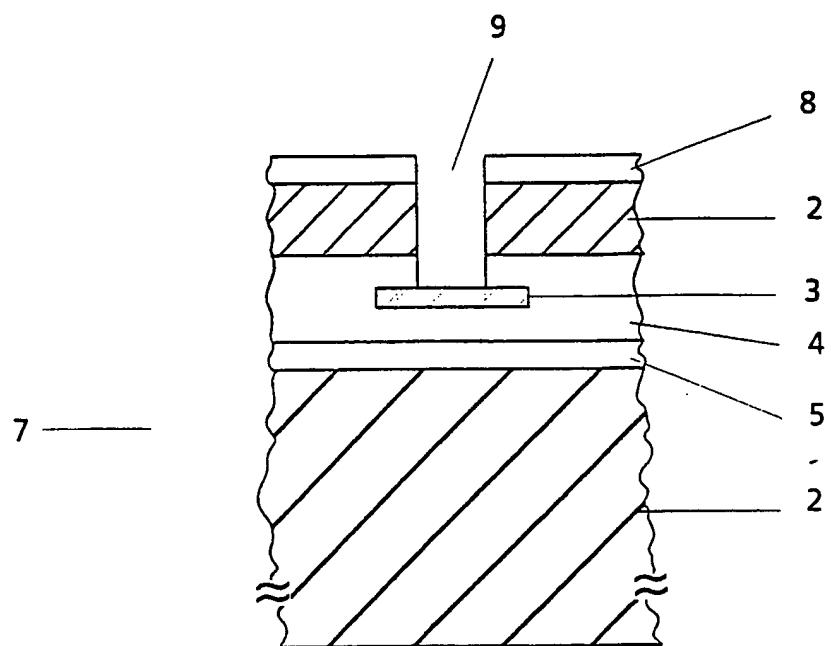


Fig. 3

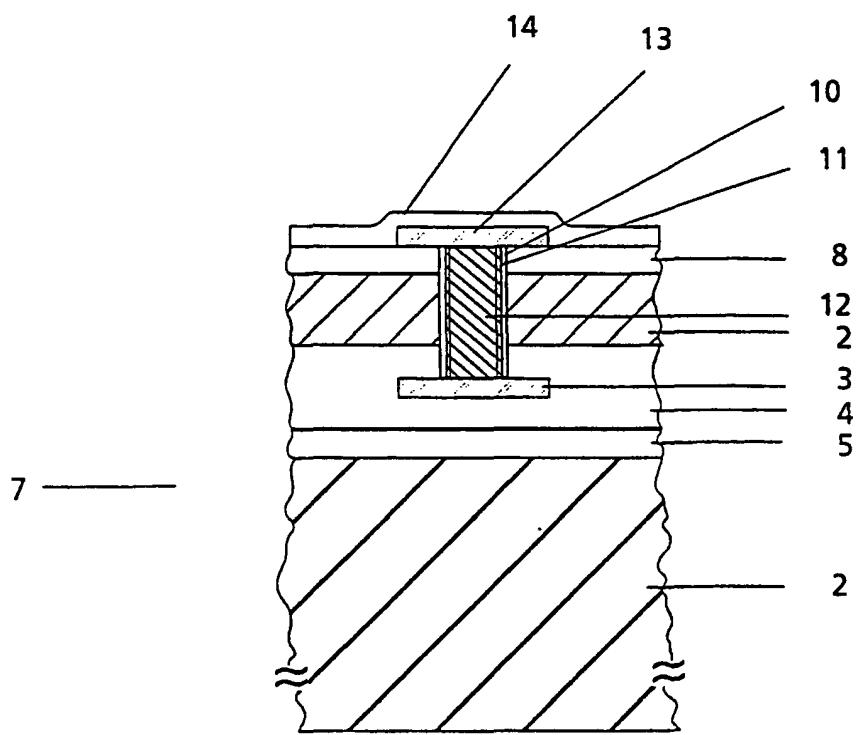


Fig. 4

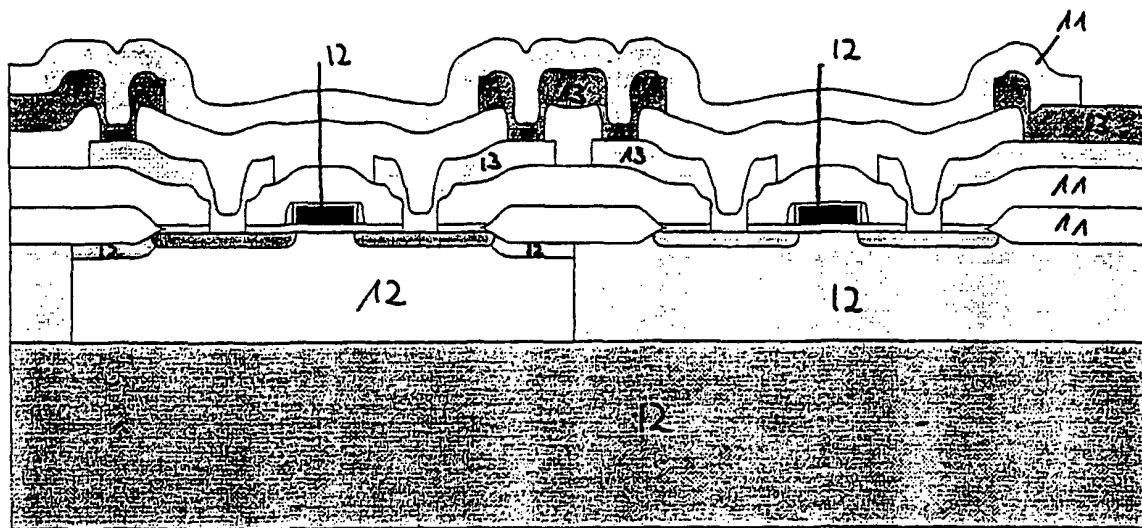


Fig. 5

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 98/02645

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 6 H01L23/58 H01L23/552

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 258 334 A (LANTZ II LEON) 2 November 1993 see column 1-2 ---	1-4, 8, 16, 20
A	EP 0 510 433 A (HUGHES AIRCRAFT CO) 28 October 1992 see column 1-2 ---	1
A	EP 0 582 850 A (TEXAS INSTRUMENTS INC) 16 February 1994 see column 1; figure 1B ---	1-4 -/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "g" document member of the same patent family

Date of the actual completion of the international search

17 February 1999

Date of mailing of the international search report

03/03/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Odgers, M

1

## INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 98/02645

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	NEUMEIER K ET AL: "Radiation tolerance of double layer field oxides" RADECS 91: FIRST EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON DEVICES AND SYSTEMS (CAT. NO.91TH0400-2), LA GRANDE-MOTTE, FRANCE, 9-12 SEPT. 1991, pages 215-219, XP002093849 ISBN 0-7803-0208-7, 1992, New York, NY, USA, IEEE, USA cited in the application See the whole Document ---	1
A	DE 44 33 845 A (FRAUNHOFER GES FORSCHUNG) 28 March 1996 cited in the application See the whole Document -----	1-20

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern	tional Application No
PCT/DE 98/02645	

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5258334	A 02-11-1993	NONE		
EP 0510433	A 28-10-1992	US 5072331 A		10-12-1991
		JP 5158799 A		25-06-1993
EP 0582850	A 16-02-1994	US 5818095 A		06-10-1998
		CN 1088001 A, B		15-06-1994
		JP 6169102 A		14-06-1994
		US 5597736 A		28-01-1997
DE 4433845	A 28-03-1996	EP 0703618 A		27-03-1996
		JP 8213548 A		20-08-1996
		US 5563084 A		08-10-1996

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 98/02645

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 6 H01L23/58 H01L23/552

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>a</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 258 334 A (LANTZ II LEON) 2. November 1993 siehe Spalte 1-2 ---	1-4, 8, 16, 20
A	EP 0 510 433 A (HUGHES AIRCRAFT CO) 28. Oktober 1992 siehe Spalte 1-2 ---	1
A	EP 0 582 850 A (TEXAS INSTRUMENTS INC) 16. Februar 1994 siehe Spalte 1; Abbildung 1B ---	1-4 -/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

<sup>a</sup> Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchebericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Rechercheberichts

17. Februar 1999

03/03/1999

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Odgers, M

1

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 98/02645

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	NEUMEIER K ET AL: "Radiation tolerance of double layer field oxides" RADECS 91: FIRST EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON DEVICES AND SYSTEMS (CAT. NO.91TH0400-2), LA GRANDE-MOTTE, FRANCE, 9-12 SEPT. 1991, Seiten 215-219, XP002093849 ISBN 0-7803-0208-7, 1992, New York, NY, USA, IEEE, USA in der Anmeldung erwähnt Das ganze Dokument ---	1
A	DE 44 33 845 A (FRAUNHOFER GES FORSCHUNG) 28. März 1996 in der Anmeldung erwähnt Das ganze Dokument -----	1-20

## INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen  
PCT/DE 98/02645

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie			Datum der Veröffentlichung
US 5258334	A 02-11-1993	KEINE			
EP 0510433	A 28-10-1992	US 5072331 A	JP 5158799 A		10-12-1991 25-06-1993
EP 0582850	A 16-02-1994	US 5818095 A	CN 1088001 A, B	JP 6169102 A	06-10-1998 15-06-1994 14-06-1994
		US 5597736 A			28-01-1997
DE 4433845	A 28-03-1996	EP 0703618 A	JP 8213548 A	US 5563084 A	27-03-1996 20-08-1996 08-10-1996

DOCKET NO: P20010087

SERIAL NO: \_\_\_\_\_

APPLICANT: Christian Amietter et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100